



STM32U5 A/D コンバータ (ADC) および D/A コンバータ (DAC) のプレゼンテーションへようこそ。

ここでは、ADC1 と ADC4 の主な機能について説明します。これらを使用すると、センサ出力などのアナログ電圧を、デジタルドメインでさらに処理するためにデジタル値に変換することができます。

DAC を使用すると、デジタル信号をアナログ電圧に変換できます。アナログ電圧では、外部世界のほか、コンパレータやオペアンプなどのオンチップペリフェラルとのインタフェースが可能です。

アナログデジタルコンバータ(ADC)



まずは、ADC の機能について説明します。

ADC の概要

	ADC1	ADC4
分解能	14 ビット	12 ビット
データレジスタ	32 ビット	16 ビット
最大サンプリング速度	2.5Msps	2.5Msps
ハードウェアの直線性較正	あり	不可
差動入力	あり	不可
インジェクトチャンネル変換	あり	不可
自律モード	なし	はい
同時モード保護	-	あり
柔軟なサンプリング時間	あり	不可
オーバーサンプリング	最大x1024	最大x256
オフセット補正	あり	不可
ゲイン補正	あり	不可



3

STM32U 575 および 585 製品は 2 つの ADC、つまり 14 ビットの ADC1 と 12 ビットの ADC4 を統合したものです。ADC1 は CPU ドメインに属する高性能コンバータで、ADC4 は SmartRun ドメインに属する低電力コンバータです。

このスライドの表に、これら 2 つの ADC の違いを示します。

まず、ADC1 の分解能が 14 ビットで、変換データが 32 ビットレジスタに格納されるのに対し、ADC4 の分解能は 12 ビットで、変換データは 16 ビットレジスタに格納されます。

最大サンプリングレートは両方の ADC で同じで、毎秒 2.5 メガサンプルです。

ADC1 は、14 ビットの分解能に必要なハードウェアの直線性較正に対応しています。

ADC4 がシングルエンド入力から供給されるアナログ電圧のみを変換するのに対し、ADC1 は差動アナログ入力もサポートします。

ADC1 の場合、変換はレギュラグループとインジェクトグループの 2 つのグループに分けられます。インジェクトグループは、レギュラグループサンプリングシーケンスの実行に割り込みできます。

ADC4 はレギュラグループにのみ対応しています。

ADC4 は低電力バックグラウンド自律モード (LPBAM) に対応しているため、(ソフトウェアを実行せずに) STOP 0、STOP 1、および STOP 2 モードで機能し、自律的になります。

ADC4 を ADC1 と同時に使用した場合、ADC1 の動作により VREF+ 電圧にノイズが発生することがあります。VREF+ は ADC4 の基準電圧でもあるため、変換誤差の原因となることがあります。

この問題の発生を防止するため、ADC4 には、同時モード保護を有効にする制御ビットが実装されています。

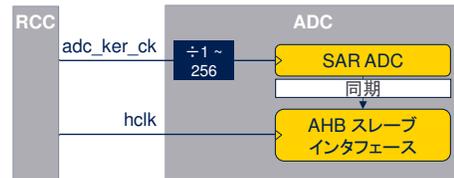
ADC4 の各チャンネルは 2 つのサンプリング時間から 1 つを選択できますが、ADC1 の各チャンネルは異なるサンプリング時間でサンプリングできます。

ADC1 によって取得された元のサンプルは、ソフトウェアに供給される前に、オーバーサンプリング回路、ゲイン、およびオフセット補正ユニットによって処理されることがあります。最大オーバーサンプリング比は 1024 です。

ADC4 によって取得された元のサンプルは、ソフトウェアに供給される前に、オーバーサンプリング回路で処理されることがあります。最大オーバーサンプリング比は 256 です。

ADC1 および ADC4 のクロック

- ADC クロックは RCC によって選択できます
 - AHB クロックから直接選択できなくなりました
 - RCC により adc_ker_ck 用にさまざまなクロックソースを選択できます
 - 同期クロック SYSCLK または HCLK
 - pll2_r_ck
 - HSE
 - HSI16
 - MSIK (MSI カーネルクロック)
- 両方の ADC が同じカーネルクロックから動作します



4

両方の ADC はデュアルクロックドメインアーキテクチャを備えています。つまり、ADC カーネルクロックは、ADC レジスタへのアクセスに使用される AHB バスクロックから独立しています。

ADC1 と ADC4 では、RCC からの同じカーネルクロックソースを使用します。

これにより、ADC1 および ADC4 の動作が同期され、相互の干渉が管理されます。

前世代と異なり、サンプリング/変換クロックソースとして AHB クロック、HCLK を選択するオプションがありません。

ただし、RCC の SYSCLK または HCLK からカーネルクロックを選択することができます。

ADC 入力チャネル

	ADC 内部チャネル	専用の GPIO パッドに接続された ADC 外部チャネル
ADC1	VREFINT (バンドギャップ電圧 = ~ 1.2V) VBAT/4 VSENSE (温度センサ電圧)	17
ADC4	V _{REFINT} V _{BAT/4} V _{SENSE} V _{CORE} (デジタルコア電圧) DAC1_OUT1, DAC1_OUT2	19

• IO ブースタ

- VDDA 電圧が 2.4V より低い場合、IO ブースタ回路を有効にし、GPIO のアナログスイッチのゲート電圧を制御する必要があります
- これは SYSCFG_CFGR1[BOOSTEN,ANASWVDD] によって有効化されます

VDD	VDDA	BOOSTEN	ANASWVDD	ゲート電圧
-	> 2.4 V	0	0	VDDA
> 2.4 V	> 2.4 V		1	VDD
< 2.4 V	< 2.4 V	1	0	ブースト電圧 (VDD から最大 3.0V の供給)



5

ADC1 には次のアナログ入力チャネルがあります。

- 17 の外部チャネル
- 3 つの内部専用チャネル
- 内部基準電圧用の 1 つのチャネル (VREFINT)
- 内部温度センサ用の 1 つのチャネル (VSENSE)
- VBAT 監視チャネル用の 1 つのチャネル (VBAT/4)

ADC4 には次のアナログ入力チャネルがあります。

- 19 の外部チャネル
- 4 つの内部専用チャネル
- 内部基準電圧用の 1 つのチャネル (VREFINT)
- 内部温度センサ用の 1 つのチャネル (VSENSE)
- VBAT 監視チャネル用の 1 つのチャネル (VBAT/4)
- 内部デジタルコア電圧用の 1 つのチャネル (VCORE)

ADC4 には、DAC 出力チャネルへの内部接続もあります。

IO 内部のアナログスイッチには抵抗があり、アナログスイッチの供給が減少すると増加します。そのため、VDDA と VDD が低い場合、電圧ブースタを有効にしてアナログスイッチに供給し、低抵抗を保証することができます。

アナログ用には VDDA 電源の使用がお勧めです。

ただし、VDDA が 2.4 V より低く、VDD が 2.4 V より高い場合は、電源を VDD に切り替えることができます。

VDDA と VDD が両方とも 2.4 V 未満の場合は、電圧ブースタを有効にする必要があります。

ADC サンプルング時間の制御(ADC1)

- チャンネル単位でプログラム可能なサンプルング時間
 - さまざまなサンプルング時間が使用可能(5、6、12、20、36、68、391、814 サイクル)
- 柔軟なサンプルング時間
 - バルブサンプルングモード
 - 不連続モードでのみ使用可能
 - サンプルングは前回の交換の直後に開始
 - ハイインピーダンスソースで有用
 - 非常に長いサンプルング時間
 - サンプルング時間制御トリガモード
 - サンプルング時間はトリガ信号により完全に制御
 - 立ち上がりエッジでサンプルングが開始
 - 立ち下がりエッジでサンプルングが停止し、交換が開始



6

このスライドでは、ADC1 に適用可能なサンプルング時間の制御について説明しています。

変換の最初のステップは、サンプルおよびホールドコンデンサに測定する電圧をかけることです。

サンプルング時間が長いほど、インピーダンスが高い信号が正しく変換されます。このスライドに、5 ~ 814 のサンプルング時間 (ADC クロックサイクル単位) を示します。

サンプルング時間は、ADC1 の各入力チャンネルについて個別にプログラムできます。ADC1 には、STM32G4 シリーズとともに導入された 2 つのメカニズムが実装されています。

1 つ目は、不連続モードでのみ機能するバルブモードです。

このモードでは、前回の交換が終了した直後に、アイドル状態に移行せずにサンプルングが開始されます。これにより、トリガ信号から変換開始までの遅延が短縮されます。

最初の ADC 変換は、ADC が有効化された後、SMP ビットでプログラムされたサンプルング時間で実行されます。

バルブモードは、2 番目の変換の後で有効です。

2 番目のメカニズムは、トリガ信号に基づくサンプルングモードです。

- 立ち上がりエッジでサンプルングが開始します。
- 立ち下がりエッジでサンプルングが停止し、変換が開始します。

- 14 ビットの ADC の直線性ハードウェア較正
 - 14 ビットの ADC の場合、コンデンサレイの不一致を補正するために直線性較正が必須です
 - 較正は ADC の起動時に実行する必要があるため、25502 クロックサイクルが必要です
 - ソフトウェアにより較正係数を Flash メモリにコピーすることで、次のウェイクアップ時の起動シーケンスを高速化できます
 - 較正データは温度と電圧に依存しないため、顧客による較正は本番稼働の最終テスト中に 1 回実行できます
- 14 ビットおよび 12 ビットの ADC オフセット較正(14 ビットと 12 ビットの両方)
 - オフセット較正は、ADC の起動時と、VDDA または温度が変化したときに実行する必要があります
 - 較正には 683 クロックサイクル(14 ビット)、82 クロックサイクル(12 ビット)が必要です
 - ソフトウェアにより較正係数を Flash メモリにコピーすることで、次のウェイクアップ時の起動シーケンスを高速化できます



両方の ADC には、ADC のパワーオンとオフを含む較正シーケンス全体を制御する自動較正手順が用意されています。

ADC1 ではハードウェア直線性較正メカニズムが統合されます。

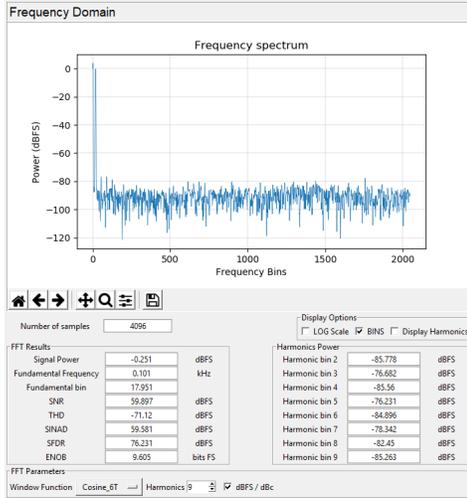
通常 14 ビット以上の ADC では、コンデンサレイの不一致を補正するためにこの較正が必要となるため、STM32H7 シリーズと同様、STM32U5 には直線性較正が装備されています。

較正の完了には 25502 クロックが必要となるため、ADC のブート時間を短縮するために、較正値を Flash メモリに格納することができます。直線性較正は電圧と温度に依存しないため、本番稼働の最終テスト中に 1 回のみ実行する必要があります。

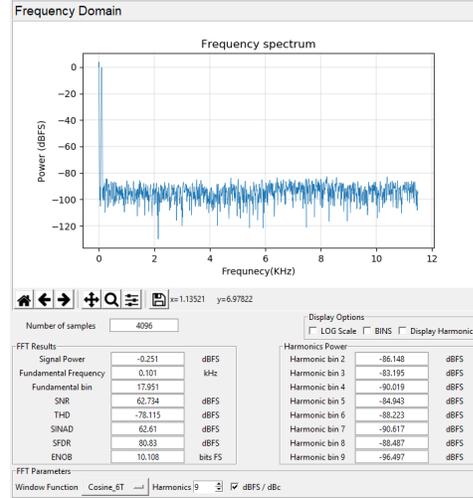
ADC1 と ADC4 はどちらもハードウェアのオフセット較正メカニズムに対応しています。

オフセットは電圧または温度に依存する可能性があるため、電圧または温度が大幅に変化した場合には再較正が必要になることがあります。

直線性較正の効果



 直線性較正なし
life.augmented

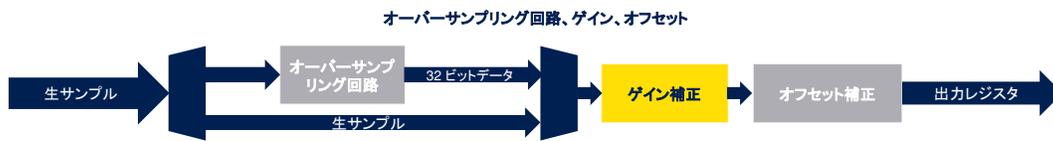


直線性較正あり
NUCLEO で測定、VDD=VDDA=VREF+

8

これらの図は、ADC1 の直線性較正の効果を示しています。
ADC1 では 100 Hz の正弦波信号を変換しています。
較正なしの THD は -71dBFS となりますが、較正ありの THD は -78dBFS に改善されます。

ゲイン補正 (ADC1)



• ゲイン補正 (ADC_GCOMP)

- 入力範囲が基準電圧に一致しない場合でも、ADC のダイナミックレンジを改善します
 - ゲイン係数を適用すると、信号範囲を拡張して ADC の全範囲にマップするのに役立ちます
- オーバーサンプリングシフト後のすべての変換データ(すべてのチャンネル)に適用されます
- $\text{ゲイン係数} = (\text{ADC_GCOMP.GCOMP_COEFF}[13:0]) / 4096$
- ゲイン係数は 0 ~ 3.999756 です
- 各変換後、データは次の式で計算されます
 - $\text{DATA} = \text{DATA}(\text{adc 結果}) \times (\text{GCOMP_COEFF}[13:0]) / 4096$



9

このスライドでは、ADC1 のゲイン補正機能について説明します。

ダイナミックレンジを向上させるために、ゲイン係数を生サンプルに適用できます。

ゲイン係数はオーバーサンプリング後に実行されます。

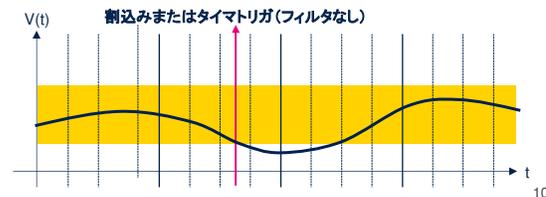
0 からほぼ 4 の範囲でプログラムでき、0.025% の単位で調整できます。

アナログウォッチドッグフィルタ(ADC1 & ADC4)

- ADC には 3 つのウィンドウ型ウォッチドッグがあります
 - 1 つのアナログウォッチドッグにより、選択した 1 つのチャンネルまたはすべての有効なチャンネルを監視できます
 - 2 つのアナログウォッチドッグにより、選択した複数のチャンネルを監視できます
- 各ウォッチドッグでは、閾値超過と閾値未満の状態を連続的に監視し、割込みまたは外部信号を生成します
- ADC1 アナログウォッチドッグフィルタ(AWD1のみ)
 - プログラム可能な回数、連続で閾値が検出された後のみ、割込みまたは信号を生成します



ウィンドウ型ウォッチドッグ	監視するチャンネル
AWD1	1(レギュラ、インジェクト、レギュラまたはインジェクト) またはすべて(レギュラ、インジェクト、レギュラまたはインジェクト)
AWD2	すべてのチャンネルを ADC_AWD2CR で選択
AWD3	すべてのチャンネルを ADC_AWD3CR で選択

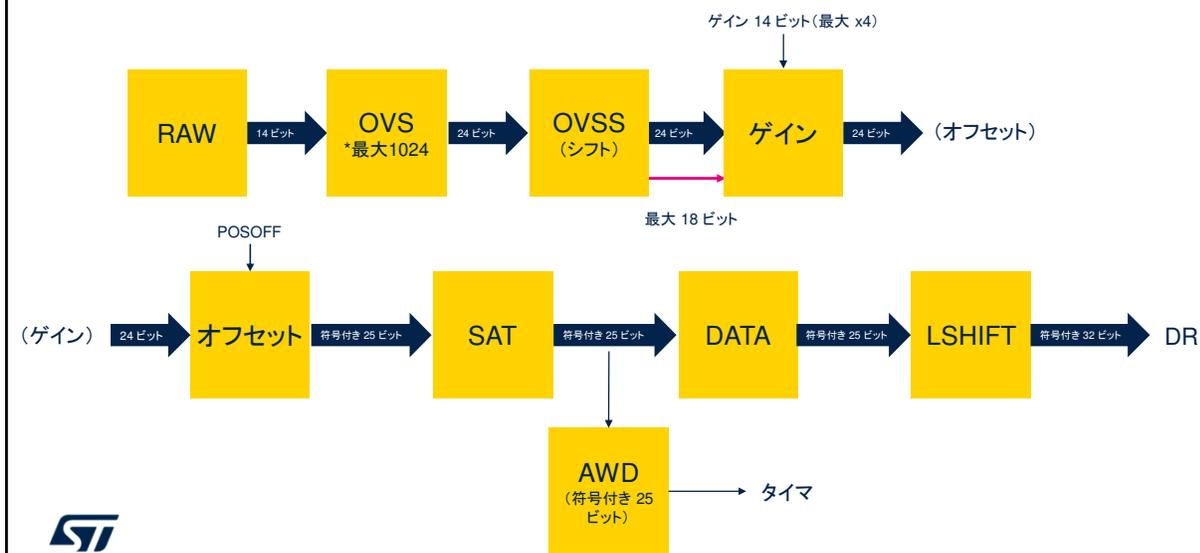


Life.augmented

各 ADC には、上限閾値と下限閾値が設定された 3 つの統合アナログウォッチドッグがあります。ADC 変換値がこのウィンドウ閾値と比較され、結果が閾値を超える場合、CPU の介入なしで割込みまたはタイマトリガ信号をアサートできます。ADC1 については、アナログウォッチドッグ 1 にはフィルタ機能もあります。

データが範囲外になった回数が、ADCx_HTR1 レジスタの AWDFILT で指定された値より多い場合、AWDx フラグがセットされ、対応する割込みが発行されます。

ADC1 データパス



この図は、生サンプルからデータレジスタ更新までの、ADC1 データパスのさまざまな段階の詳細を示しています。

生データは最初にオーバーサンプリングブロックに渡され、生成された値は OVSS 段階で左または右にシフトできます。

オーバーサンプリングユニットでデータを前処理するため、メインプロセッサの負荷を軽減します。複数の変換を処理して、最大 24 ビット幅の単一データに平均化できます。

データは、次にゲイン段階に送られ、オフセット段階に送られます。

18 + 14 = 32 ビットであるため、内部乗算器の幅は 32 ビットであり、ゲイン補正の入力データ幅は 18 ビット未満である必要があります。

オフセット段階の出力は符号付き 25 ビット値であることに注意してください。

このデータがアナログウォッチドッグに渡される前に、飽和制御が実行されます。

オフセット補正により、データ幅が元のデータよりも広くなる場合があります。元の幅を制限するために、データ飽和を有効にすることができます。

最後に、データは左シフトロジックブロックに渡され、データレジスタに格納されます。

ADC_CFGR2 レジスタの OVSS と LSHIFT のビットフィールドでは、変換後に格納されるデータの配置を選択します。デフォルトでは、データは右詰めになります。

同時モードの保護(12ビット)

- ADC により入力信号がサンプリングされると、サンプル & ホールドコンデンサが充電されます
 - これにより、入力ピンと VREF+ ピンから電流がシンク(またはソース)されます
- 2 つの制御ビット VREFPROTEN および VREFSECSMP により、ADC1 と ADC4 の同時動作が改善されます
 - VREFPROTEN = 1 で、ADC1 によりサンプリングが開始されると、ADC4 の動作が 1 ADC クロックサイクルの間、ホールドされます
 - VREFSECSMP = 1 で、ADC1 によりインジェクトチャンネルのサンプリングが開始されると、ADC4 の動作が 1 ADC クロックサイクルの間、ホールドされます
 - これは ADC4 の変換遅延に影響します



12

ADC4 は、同時動作モードをサポートするメカニズムを実装しています。ADC1 でのサンプリングが開始すると、VREF+ 基準電圧でノイズが発生します。

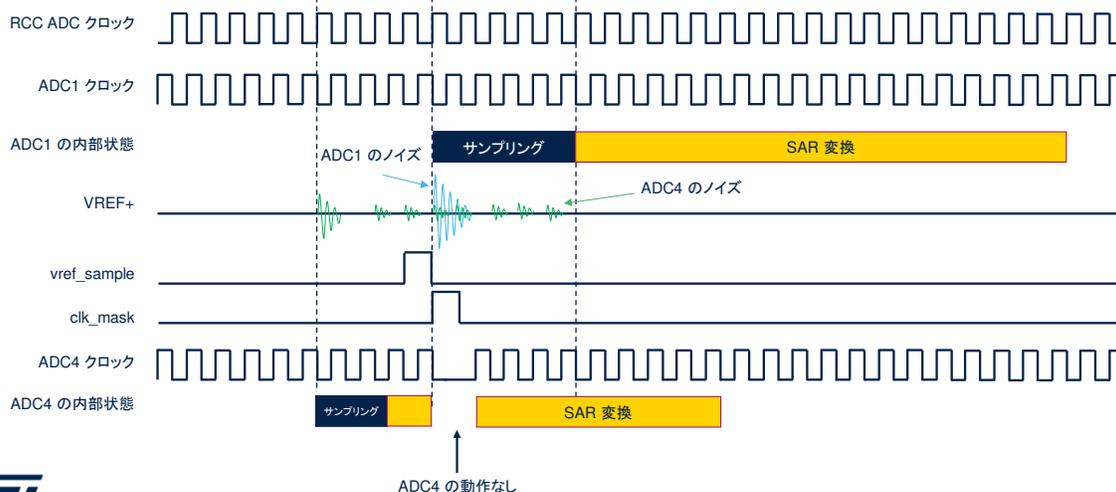
そのときに ADC4 が動作すると、ADC4 の変換結果に摂動が生じます。このようなノイズを避けるため、ADC1 は内部信号により ADC4 にサンプリング中であることを通知し、ADC4 は 1 クロックサイクルの間、動作を停止します。

ADC1 サンプリングフェーズが開始されると、ADC4 が ADC4 の 1 クロックサイクルの間ホールド状態になるため、1 クロックサイクル分、ADC4 の変換時間が長くなります。

さらに、ADC1 では ADC4 変換中に 2 つのサンプリングフェーズを持つことがあります。これは ADC1 のインジェクト変換機能によるものです。ADC_PWR レジスタの VREFSECSMP を設定することによって、ADC4 の動作を変換フェーズ中に 2 回ホールドすることができます。VREFSECSMP ビットを設定した場合、ADC4 が 2 クロックサイクル分、長くなります。

STM32U5 での同時モードのタイミング

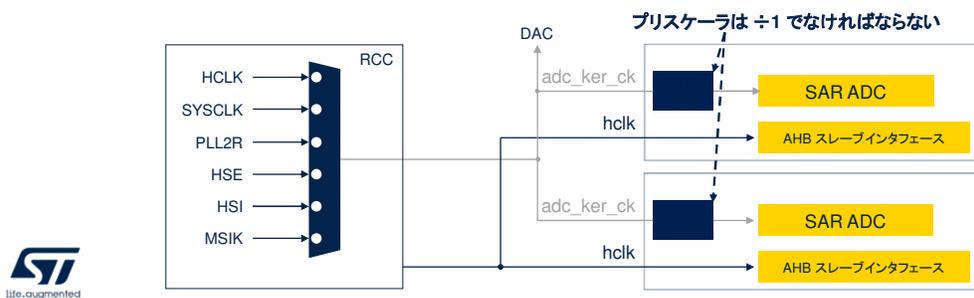
- VREFPROTEN=1: Vref 保護機能が有効です



13

このタイミング図には、ADC1 と ADC4 が同時に使用される場合の VREF 保護メカニズムを示しています。最初に、ADC4 でアナログチャンネルがサンプリングされます。これにより、VREF+ にノイズが発生します。その後、ADC1 でサンプリングが開始されます。VREF 保護が有効化されているため、1 クロックサイクルの間、内部クロックマスク信号により ADC4 が停止します。そのクロックサイクル中、ADC1 により VREF+ にノイズが生じます。1 クロックサイクル後、ADC4 で変換が再開されます。このようにして、ADC1 によって生成されたノイズは ADC4 の変換に影響しません。

- **ADC の同時使用**
 - ADC1 によりサンプリングが行われる場合、大電流パルスのシンクと VREF+ 電圧の摂動が発生します
 - この VREF+ の摂動により、ADC4 変換でエラーが発生することがあります
 - ADC4 ではクロックごとに VREF+ 電圧が使用されます（逐次近似比較）
- **制限**
 - 摂動を避けるため、両方の ADC で同じクロック（同じ周波数と同じ位相）を使用する必要があります



14

前のスライドで説明したように、ADC1 と ADC4 での同時サンプリングはエラーの原因となることがあります。

ただし、VREF 保護機能を有効にするだけでは十分ではありません。

2 番目の条件として、両方の ADC で同じクロック、同じ周波数、同じ位相を使用する必要があります。

サンプリングおよび変換クロックの生成に使用されるプリスケアラは、値 1 で初期化する必要があります。

ADC4 自律モード

- システムの電力消費を下げるため、ADC4 は STOP 0、STOP 1、および STOP 2 モードで低電力バックグラウンド自律モード (LPBAM) に対応しています
 - ADC4 カーネルクロックは、ADC4 からの要求があると自動的にオンになり、ADC4 からの要求がなければ自動的にオフになります
 - ADC4 のデフォルト状態はパワーオフです
 - ADC へのハードウェアトリガによりクロックリクエストが発行されると、ADC レギュレータが有効になり、ADC 変換が開始されます
 - ADC の結果は、アナログウォッチドッグまたは DMA 転送に使用できます
 - プログラムされた変換が終了すると、クロックリクエストはデアサートされ、ADC4 は再びパワーオフ状態に入ります



15

ADC4 はシステムの消費電力をさらに低減するため、自律モードに対応しています。

このモードでは、ADC はデフォルトでパワーオフ状態になります。

ハードウェアトリガが検出されると、ADC4 が起動され、クロックリクエストが発行されます。

ADC4 の起動開始シーケンスは、ステートマシンによって管理されます。

このシーケンスが完了すると、ADC 変換が実行されます。

変換後の ADC データは、アナログウォッチドッグで使用するか、LPDMA でメモリに転送することができます。

計画されたすべての変換が終了すると、クロックが停止し、ADC はパワーオフ状態に戻ります。

このシーケンス中、Cortex-M33 は関与しません。

ADC 仕様

ADC の機能	STM32L5 12 ビット ADC	STM32U5 12 ビット ADC4	STM32U5 14 ビット ADC1
VDDA	1.62~3.6 V		
VREF+	VDDA>2V の場合は 2V ~ VDDA、<2V の場合は VDDA と同じ	1V ~ VDDA	VDDA>2V の場合は 2V ~ VDDA、<2V の場合は VDDA と同じ
分解能	6 ~ 12 ビット		8 ~ 14 ビット
有効ビット数 (ENOB)	10.9 ビット (差動)	10.99 ビット	12.8 ビット (差動)
fADC (ADC クロック周波数)	最大 80MHz	最大 55MHz	最大 55MHz
最大速度	5 Msps	2.5 Msps	2.5Msps
入力	単一および差動	シングルエンドのみ	単一および差動
t _s (サンプリング時間)	2.5 ~ 640.5 ADC クロックサイクル	1.5 ~ 160.5 ADC クロックサイクル	5 ~ 814 ADC クロックサイクル
t _{conv} (変換時間)	t _s + 12.5 ADC クロックサイクル (12ビット分解能の場合)		t _s + 17 ADC クロックサイクル (14ビット分解能の場合)
VDDA からの IDD	10 kspcs で 16 μA 1 Msps で 160 (5 Msps で 730)	10 kspcs で 10 μA 1 Msps で 180 μA 2.5 Msps で 360 μA	10 kspcs で 130 μA 1 Msps で 550 μA、差動入力、14ビット 2.5 Msps で 970 μA、差動入力、14ビット



16

この表は、STM32U5 ADC1 および ADC4 の特性と STM32L5 ADC の特性を比較したものです。

VDDA 電圧範囲は同じで、VREF+ 電圧範囲は STM32L5 ADC と STM32U5 ADC1 で同じです。ADC4 は、1 V ~ VDDA の VREF+ 範囲に対応しています。

有効ビット数 (ENOB) は、ADC のダイナミックレンジの指標です。差動モードでは、STM32U5 の ADC1 の ENOB は 12.8 ビットに達します。STM32L5 の ADC では、周波数が高いため、STM32U5 の ADC と比較して 1 秒あたりの最大メガサンプル数が大きくなっています。

STM32U5 の ADC4 は、差動入力に対応していません。

STM32U5 の ADC4 の最小サンプリング時間は、わずか 1.5 クロックサイクルであることに注意してください。

分解能が高いほど、変換には時間がかかります。

また、14 ビット ADC4 は 12 ビット ADC よりも電力を消費します。

低い取得周波数では、STM32U5 の ADC4 の消費電力は STM32L5 の ADC より少ないので、LPBAM で定期的な電圧監視を実行する場合に便利です。

D/A コンバータ(DAC)



では、DAC の機能を見てみましょう。

- DAC インタフェース x 1、出力 x 2
- DAC 出力を OPAMP/Comp/ADC に接続した場合、GPIO は別の機能に使用できません
- 自律モードのサンプル&ホールドモード
 - DAC 出力電圧は STOP モード時に更新できます
 - DAC へのハードウェアトリガによってクロックリクエストが発生し、LPDMA により DAC 出力レジスタを更新できます
 - DMA 転送が終了すると、クロックリクエストはデアサートされます
- DAC が APB スレーブデバイスではなく、AHB スレーブデバイスになりました
- DAC カーネルクロックは摂動を避けるため、ADC で共通です



STM32U575/585 には、1 つの DAC モジュールと 2 つのアナログ出力が統合されています。

基本的な機能は STM32L5 の DAC と非常に似ています。

DAC 出力は、GPIO を使用せずに内部リソースにルーティングできます。dac_outx で、コンパレータやオペアンプなどオンチップペリフェラルへの内部ピン接続が使用できます。

STM32U5 DAC は、STOP 0、STOP 1、および STOP 2 モードで低電力バックグラウンド自律モード (LPBAM) に対応しています。

LPDMA とハードウェアトリガを使用することで、システムクロックが停止したときでも DAC 出力を更新できます。

このモードでは、DAC はサンプルおよびホールドモードのみに対応し、スタティック変換に LSI/LSE クロックソースを使用します。

STM32L5 と異なり、DAC は AHB バスに接続されます。この AHB バスは APB よりも広い帯域幅を備えています。

VREF+ での摂動を最小にするため、カーネルクロックは ADC1 および ADC4 と同じになっています。

DAC の仕様

		STM32L5 標準	STM32U5 標準	単位
VDDA	バッファオン	1.8 ~ 3.6	1.6 ~ 3.6	V
	バッファオフ	1.71 ~ 3.6	1.6 ~ 3.6	V
分解能		12	12	ビット
微分非直線性 (DNL)		+/- 2	+/- 2	最下位ビット
積分非直線性 (INL)		+/- 4	+/- 4	最下位ビット
消費量	バッファオン	500	500	uA
	バッファオフ	155	14	uA
整定時間	バッファオン (50pF)	1.7	2.05	usec
	バッファオフ (10pF)	2.0	1.7	usec
更新レート	バッファオン (50pF)	1	1	Mサンプル/秒



19

この表は、STM32U5 の DAC の特性と STM32L5 の DAC の特性を比較したものです。

STM32U5 の DAC は、バッファ状態がオンでもオフでも、1.6 ~ 3.6 ボルトで動作します。

DAC 出力バッファがオンである場合、または DAC_OUT ピンが接続されている場合、STM32L5 DAC の VDDA 電圧の最小値は 1.8V です。

12 ビットの単調性は保証されます。

1 秒あたり 1 メガサンプルで動作、消費電力は STM32L5 とほぼ同等です。

サンプル&ホールドモードを使用することで、消費電流を大幅に低減できます。

STM32U5 の DAC バッファ付き出力の整定時間は、最大 50 pF の容量性負荷において 2.05 μ sec です。

DAC は、毎秒 1 メガサンプルのサンプリングレートを処理できます。

Our technology starts with You

© STMicroelectronics - All rights reserved.

ST logo is a trademark or a registered trademark of STMicroelectronics International NV or its affiliates in the EU and/or other countries.

For additional information about ST trademarks, please refer to www.st.com/trademarks.

All other product or service names are the property of their respective owners.

